

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-234096

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H03K 3/84  
G06F 7/58  
H04J 13/00

(21)Application number : 10-035726

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.02.1998

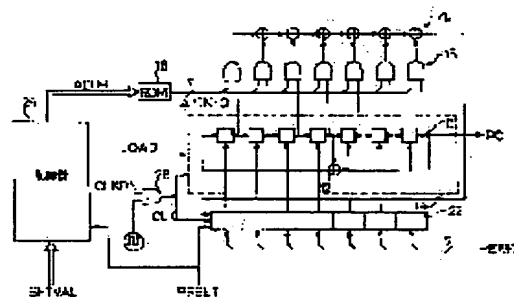
(72)Inventor : NAKAMURA TAKAHARU  
KAWABATA KAZUO  
OBUCHI KAZUCHIKA  
HAMADA HAJIME

## (54) PSEUDO-NOISE GENERATION DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To start a pseudo-noise group from an arbitrary phase in the processing of a compact scale.

SOLUTION: A tap selection pattern corresponding to a plurality of phase shift amounts is stored beforehand in ROM 18. The phase shift amounts are given to ROM 18, the tap selection pattern is set in an AND gate 16 and a phase obtained by shifting the phase of a pseudo-noise group, which a pseudo-noise generator 14 generates is inputted to a shift register 22. A new phase amount is set in ROM 18 and the content of the shift register 22 is transferred to the shift register 10 of the pseudo-noise generator 14. Thus, a desired phase shift is realized as a plurality of phase shift amounts by repeating the proceedings.



## LEGAL STATUS

[Date of request for examination] 15.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3587675

[Date of registration] 20.08.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-234096

(43)公開日 平成11年(1999)8月27日

(51) Int.Cl.<sup>6</sup>

識別記号

FI

H03K 3/84

H O 3 K 3/84

**A**

G O 6 F 7/58

G O 6 F 7/58

C

H0 4 J 13/00

H04J 13/00

A

審査請求 未請求 請求項の数7 OL (全 9 頁)

(21)出願番号

特願平10-35726

(22) 出願日

平成10年(1998)2月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 中村 隆治

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 川端 和生

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

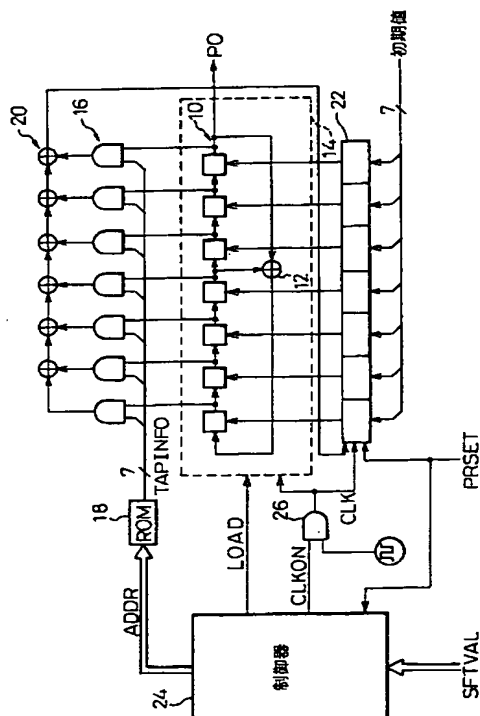
**最終頁に続く**

(54) 【発明の名称】 擬似雑音発生装置

(57) 【要約】

【課題】 コンパクトな規模の処理で擬似雑音系列を任意の位相から開始させる。

【解決手段】 複数の位相シフト量に対応するタップ選択パターンを予めROM18に格納する。位相シフト量をROM18に与えてANDゲート16にタップ選択パターンを設定して擬似雑音発生器14が発生する擬似雑音系列の位相をシフトさせたものをシフトレジスタ22へ入力する。新たな位相量をROM18に設定した後、シフトレジスタ22の内容を擬似雑音発生器14のシフトレジスタ10へ転送する。これを繰り返すことにより、複数の位相シフト量の合計として所望の位相シフトを実現する。



## 【特許請求の範囲】

【請求項 1】 直列に接続された複数の遅延素子を有する擬似雑音発生器と、

位相シフト量に対応する選択パターンを格納する記憶装置と、

該記憶装置から出力された選択パターンに従って該擬似雑音発生器の遅延素子の出力を選択するセレクトと、  
該セレクトが選択した遅延素子の出力を加算して、該擬似雑音発生器が出力する擬似雑音系列の位相をシフトしたものとして出力する加算器とを具備する擬似雑音発生装置。

【請求項 2】 前記記憶装置は複数の相異なる位相シフト量にそれぞれ対応する複数の選択パターンを格納しており、該複数の位相シフト量の中の指定された 1 つに対応する選択パターンを出力する請求項 1 記載の擬似雑音発生装置。

【請求項 3】 前記加算器が出力する擬似雑音系列を蓄積するシフトレジスタと、

前記記憶装置へ位相シフト量の指定を与えるとともに該シフトレジスタに蓄積された擬似雑音系列を前記擬似雑音発生器の各遅延素子に転送することによって、複数の位相シフト量の合計として所望の位相シフトを実現する制御部とをさらに具備する請求項 2 記載の擬似雑音発生装置。

【請求項 4】 前記記憶装置は、前記擬似雑音発生器が出力する擬似雑音系列の周期の約  $1/2$  の位相シフト量、その  $1/2$  の位相シフト量及びさらにその  $1/2$  の位相シフト量にそれぞれ対応する選択パターンを少なくとも格納する請求項 3 記載の擬似雑音発生装置。

【請求項 5】 前記擬似雑音発生器が発生する擬似雑音系列の周期を  $2^n - 1$  とするとき、前記記憶装置は、 $2^{n-1}$ 、 $2^{n-2}$  及び  $2^{n-3}$  の位相シフト量にそれぞれ対応する選択パターンを少なくとも格納する請求項 4 記載の擬似雑音発生装置。

【請求項 6】 前記制御部は、記憶装置に対して指定すべき位相シフト量が所定値以下であるとき、前記シフトレジスタから前記擬似雑音発生器の各遅延素子への転送による位相シフト量の加算に代えて、位相シフト量に相当する数のクロックを該擬似雑音発生器へ与える請求項 3～5 のいずれか 1 項記載の擬似雑音発生装置。

【請求項 7】 前記制御部は、前記所望の位相シフトの量が所定値以下であるとき、前記シフトレジスタから前記擬似雑音発生器の各遅延素子への転送による所望の位相シフトの実現に代えて、該所望の位相シフトに相当する数のクロックを該擬似雑音発生器へ与える請求項 3～6 のいずれか 1 項記載の擬似雑音信号発生装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、CDMA (Code Division Multiple Access) 方式の通信システムにおい

て伝送信号を拡散変調するために用いられる擬似雑音系列を発生する擬似雑音発生装置に関する。

## 【0002】

【従来の技術】例えば数分にも達する長い周期の拡散符号系列が使用されている CDMA 通信システムにおいては、通信の相手方が制御チャネルを介して報知する時刻データに基いて決められる位相から拡散符号系列を開始させて速やかに符号同期を達成することが要求される。また、長い周期の符号系列を複数の区間に分割してそれぞれ別の局が使用するシステムにおいては、使用する位相から符号系列を速やかに開始させること、及び互いの干渉を低減するために割り当て変更の要求があったとき割り当てられた位相から速やかに再スタートさせることが要求される。

【0003】拡散符号系列として用いられる擬似雑音系列の位相を任意に設定する方法として、それを発生する擬似雑音発生器に通常より速いクロックを供給して位相を初期位相から所望の位相までシフトさせることがまず考えられる。しかしこの方法ではシフトのための高速クロックが必要であり、特にシフト量が多い場合に、短時間で所定のシフト量を得ようとする、非常に高速のクロックが必要になるという問題がある。

【0004】また、擬似雑音系列のシフト加法性を利用して擬似雑音発生器内のシフトレジスタの各段から適当にタップを引き出し、それらの排他的論理和をとることにより位相がシフトした符号系列を生成することも考えられる。しかし、この方法では所望のシフト量を得るためのタップ位置を計算で決定する必要があり、シフトレジスタの段数が多いと多大な計算時間を要するという問題がある。

## 【0005】

【発明が解決しようとする課題】したがって本発明の目的は、短時間で所望の位相から開始できる擬似雑音発生装置を提供することにある。

## 【0006】

【課題を解決するための手段】本発明によれば、直列に接続された複数の遅延素子を有する擬似雑音発生器と、位相シフト量に対応する選択パターンを格納する記憶装置と、該記憶装置から出力された選択パターンに従って該擬似雑音発生器の遅延素子の出力を選択するセレクトと、該セレクトが選択した遅延素子の出力を加算して、該擬似雑音発生器が出力する擬似雑音系列の位相をシフトしたものとして出力する加算器とを具備する擬似雑音発生装置が提供される。

【0007】前記記憶装置は複数の相異なる位相シフト量にそれぞれ対応する複数の選択パターンを格納しており、該複数の位相シフト量の中の指定された 1 つに対応する選択パターンを出力することが好適である。前述の装置は前記加算器が出力する擬似雑音系列を蓄積するシフトレジスタと、前記記憶装置へ位相シフト量の指定を

与えるとともに該シフトレジスタに蓄積された擬似雑音系列を前記擬似雑音発生器の各遅延素子に転送することによって、複数の位相シフト量の合計として所望の位相シフトを実現する制御部とをさらに具備することがさらに好適である。

#### 【0008】

【発明の実施の形態】以下に説明する実施形態において、同一の構成要素には同一の参照番号が付されている。図1は本発明の第1の実施例に係る擬似雑音発生装置の回路図である。図1において、7段のシフトレジスタ10とその4段目と7段目の出力の排他的論理和（EOR）をとって1段目の入力へフィードバックするEOR回路12とで周期 $2^7 - 1$ のM系列を発生する擬似雑音発生器14が構成されている。シフトレジスタ10の各段の出力はそれぞれ7つのANDゲート16の一方の入力へ接続される。ANDゲート16の他方の入力ROM18の出力に接続される。7つのAND回路16の出力のすべては6つのEOR回路20により排他的論理和がとられてこの装置の出力となる。

【0009】前述したように、M系列のシフト加法性によりシフトレジスタの各段から適当にタップを引き出して排他的論理和をとることにより符号系列の位相を任意にシフトしたM系列を得ることができる。そこで本発明では、各シフト量を与えるタップ位置の選択パターンを予め計算してROM18のシフト量でアドレスされる格納位置に予め格納する。

【0010】シフトレジスタ10の各段に初期値を与えた後、所望のシフト量をアドレスとしてROM18に与えることによりROM18から所望のシフト量を与えるタップ位置の選択パターンが出力される。ROM18から出力される選択パターンに応じてANDゲート16が開いてタップ位置が選択され、選択されたタップ値がEOR回路20で排他的論理和がとられて、初期値から所望のシフト量だけシフトしたM系列、すなわち、所望の位相のM系列が出力される。

【0011】図1の実施例では例えば41段のシフトレジスタを有し周期が $2^{41} - 1$ のM系列を出力する擬似雑音発生器の場合に、任意のシフト量を得るためには $(2^{41} - 2) \times 41$ ビットのROM容量が必要とされ、現実的でない。図2は本発明の第2の実施例に係る擬似雑音発生装置の回路図である。図2およびそれ以降に示す例では理解を容易にするために図1と同様に7段のシフトレジスタ10を有し周期 $2^7 - 1$ のM系列を発生する擬似雑音発生器14が示されているが、以下に示す実施例では例えば41段のシフトレジスタを有し $2^{41} - 1$ といった長い周期のM系列を発生する擬似雑音発生器にも同様に適用可能である。

【0012】本実施例では、EOR回路20が出力する、位相がシフトされたM系列をシフトレジスタ22へ順次入力し、擬似雑音発生器14のシフトレジスタ10

の段数分のデータが揃ったところで再度シフトレジスタ10へ転送する。これによって、複数の位相シフト量の合計として所望の位相シフト量を得ることができる。さらに、ROM18に設定される位相シフト量を擬似雑音系列の周期の $1/2$ 、 $1/4$ 、 $1/8$ ……とすることにより限られた時間内に効率良く任意のシフト量を得ることができる。さらに特定すればM系列の周期を $2^n - 1$ とすると、 $2^{n-1}$ 、 $2^{n-2}$ ……2、1の位相シフト量に対応するタップ位置選択パターンをROM18に格納し、2進化した所望位相シフト量のビットパターンに応じてシフト量を加算することにより、任意の位相シフト量を得ることができる。この場合に必要なROMの容量は $n \times n$ ビットに過ぎない。初期値を設定した後に上記の操作を行えば所望の位相のM系列を短い時間内に得ることができる。なお、必要な位相の種類が限られている場合、ROM18にはそれらをその和で表現するに十分な種類だけ用意すれば良い。例えば、発生させたい位相が0、4、16、64、68または80だったとすると、64、16、4の位相シフト量に相当する選択パターンをROM18に格納しておけば必要なすべての位相はこれらの和で表現することができる。

【0013】図3のタイミングチャートを参照して、周期 $127 (= 2^7 - 1)$ のM系列を初期値から68クロックだけ進めた（または遅らせた）位相で出力するときの図2の回路の動作を説明する。なお、周期 $2^{41} - 1$ といった長い周期のM系列発生回路の場合でも本質的にこれと同様である。初期設定パルスPSETがシフトレジスタ22に入力されることにより初期値a(0)がシフトレジスタ22に設定される。図3中のSBUFの欄はシフトレジスタ22に設定されている値を示す。またSRの欄はシフトレジスタ10に設定されている値を示す。初期設定パルスPSETは制御器24にも入力される。それに応じて制御器24は位相シフト値SFTVALを取り込み、後に説明するいずれかの手法により位相シフト値68を実現する組み合わせを $64 + 4$ と決定し、まず、64クロックの位相シフト値に相当する選択パターンの格納アドレスad(64)をROM18に与える（図3のADDRの欄参照）。これに応じてROM18からは64クロックの位相シフトを実現するタップ値の選択パターンtp(64)が出力される（図3のTAPINFOの欄参照）。その後、制御器24からロードパルスLOADが出力されて、シフトレジスタ22に設定されていた初期値a(0)がシフトレジスタ10に転送される（SBUF、SRの欄参照）。期間T1において信号CLKONが7クロックの期間だけHレベルになるとANDゲート26が開いて、シフトレジスタ10および22にシフトクロックCLKが7回入力される。7つのシフトクロックにより擬似信号系列発生器14から7ビットのM系列が出力され、同時にシフトレジスタ22へはそれよりも64クロックだけ進んだ（または遅

れた) 値  $a(64)$  が設定される (SBUF の欄参照)。次に制御器 24 から 4 クロックの位相シフト値に相当するアドレス  $ad(4)$  が出力され (ADDR)、ROM18 からそれに対応するタップ位置選択パターン  $tp(4)$  が出力される (TAPINFO)。この状態でロードパルス LOAD により  $a(64)$  がシフトレジスタ 10 に設定され (SBUF, SR)、期間 T2 においてシフトレジスタ 10, 22 へ 7 つのシフトクロックが供給されると、シフトレジスタ 22 には初期値  $a(0)$  よりも  $64 + 4$  クロックだけ位相が進んだ (または遅れた) 値  $a(68)$  が設定される。シフトクロック CLK をこのまま続けて与えることにより、加算器 20 の出力を所望の擬似雑音系列として取り出しても良い。図に示した例では、ロードパルス LOAD で値  $a(68)$  をシフトレジスタ 10 へ転送し、期間 T3 において連続的にシフトクロック CLK を供給することにより擬似雑音系列発生器 14 から所望の位相の擬似雑音系列が出力される。

【0014】図 4 は図 2 の制御器 24 の第 1 の例を示す回路ブロック図である。図 4 の例は、前述したように、 $64, 16, 4$  の位相シフト量に相当する選択パターンを ROM18 に格納してそれらの和により  $0, 4, 16, 64, 68$  または  $80$  の位相シフトを実現するものである。図 5 に、例として  $68$  クロックの位相差を実現するときの動作のタイミングチャートを示す。

【0015】初期設定パルス PRSET がタイミング制御部 28 へ入力されると、 $64$  クロックの位相シフト量に相当するタップ選択パターンの格納アドレス  $ad(64)$  が出力され (ADDR) それとともに値  $64$  が出力される (REFSFT)。また初期設定パルス PRSET により減算器 30 にシフト値  $68$  が取り込まれ出力される (SFT)。比較器 32 において値  $64$  (REFSFT) と減算器 30 が出力する値  $68$  (SFT) が比較され、SFT が REFSFT より大であるので、シフトオン信号 SFTON は H レベルになる。SFTON が H レベルであると、タイミング制御部 28 はロードパルス LOAD を出し、期間 T1 において CLKON を H レベルにする。それによって前述したように、シフトレジスタ 22 へは初期値  $a(0)$  から  $64$  クロック分位相シフトした  $a(64)$  が設定される。次にタイミング制御部 28 から減算パルス SUBPLS が出力され、減算器 30 において  $68 - 64$  の計算が実行され、結果の  $4$  が出力される (SFT)。その後、タイミング制御部 28 から  $ad(16)$  (ADDR) 及び値  $16$  (REFSFT) が出力されるが  $4$  (SFT)  $< 16$  (REFSFT) であるので比較器 32 が出力する信号 SFTON は L レベルになる。この場合にはタイミング制御部 28 からはパルス LOAD は出力されず、次の  $ad(4)$  (ADDR) 及び値  $4$  (REFSFT) が出力される。このときは  $REFSFT = SFT$  であるので信号 SFTON

は H レベルとなり、パルス LOAD と信号 CLKON が出力されて、シフト量  $4$  の位相シフトが実行される。ROM に格納されている 3 つの選択パターンのすべてについて処理が終了したので、タイミング制御部 28 はロードパルス LOAD をシフトレジスタ 10 へ与えて上記の結果を擬似雑音系列発生器 14 へロードし、期間 T3 においてクロックオン信号を H レベルにして擬似雑音系列発生器 14 の動作を開始させる。

【0016】図 6 は制御器 24 の第 2 の例を示す。この例では周期が  $2^7 - 1 = 127$  の擬似雑音系列を任意の位相で得るために、 $64, 32, 16 \dots 2, 1$  の位相シフト量に相当する選択パターンを ROM18 (図 2) に予め格納する。2 進数で表わされた所望位相シフト量を最上位ビットから順に調べ、それが 1 であるときにそのビット位置に相当する位相シフト量に相当するタップ選択パターンのアドレスを ROM18 に与えることによって、任意の位相を実現する。

【0017】図 7 に  $68$  クロックの位相シフトを与えるときの動作のタイミングチャートを示す。初期設定パルス PRSET により位相シフト値 SFTVAL がビットシフト部 34 にとり込まれ、タイミング制御部 36 は  $ad(64)$  を出力する。 $68$  を 2 進数で表わすと  $1000100$  である。最上位ビットは 1 であるからシフトオン信号 SFTON は H レベルになる。このときタイミング制御部 36 はロードパルス LOAD 及びクロックオン信号 CLKON を出力し、 $64$  クロック分の位相シフトが行なわれる。次に、タイミング制御部 36 は  $ad(32)$  を出力し、シフトパルス SFTPAL を出力してビットシフト部 34 内の値を 1 ビット上位へシフトさせる。最上位ビットは 0 になるので SFTON は L レベルになり、LOAD, CLKON は出力されない。ADDR が  $ad(4)$  になったとき SFTON は H レベルになるので LOAD, CLKON が出力されて 4 クロック分の位相シフトが行なわれる。すべてのビットが調べ終わったら、ロードパルス LOAD が出力され、CLKON が H レベルに固定されて、所望の位相の擬似雑音系列が連続的に出力される。

【0018】説明した例では最上位ビットから順に調べているが、最下位ビットから順に調べて 1 のビットがあれば相当のシフトを実行するようにしても良いのは勿論である。また、前述のように必要な位相シフト量が例えば  $4, 16, 64, 68$  または  $80$  と限られている場合、 $tp(4), tp(16), tp(64)$  の 3 つの選択パターンのみを格納し、位相シフト値 SFTVAL の所定の 3 つのビット位置のみを調べれば良い。

【0019】ROM18 に  $ad(4)$  を与えて行なう位相シフトの処理には 7 シフトクロックとロードパルス LOAD の出力を必要としている。これに代えて単に 4 つのシフトクロックを擬似雑音発生器 14 のシフトレジスタ 10 に与えれば 4 シフトクロック分の位相シフトが実

10

20

30

40

50

現される。すなわち、位相シフト量がシフトレジスタ10の段数 $n$ よりも大きくないときは必要数のシフトクロックをシフトレジスタ10に単に与えるようにすれば処理時間を一層短縮できる。さらに、図8に示すように、比較器38において与えられたシフト値SFTVALを所定値、例えばシフトレジスタの段数 $n$ と比較し、それよりも大きくなければ、クロックオン信号CLKONをそれに応じた時間だけHレベルとすることで必要な数のシフトクロックを発生させ、短時間で所望の位相を得ることができる。

【0020】図9は制御器24をMPU (Micro Processor Unit) 及びメモリ等で構成されるマイクロコンピュータ40で実現した例を示す。マイクロコンピュータ40のメモリにはROM18と同等の機能を有すテーブルTAPTABLEが格納され、MPUはこれを参照することによりタップ選択パターンTAPINFOを直接ANDゲート16に与えることができる。マイクロコンピュータ40はまたシフトレジスタ22の値SBVALを読み出すことができ、シフトレジスタ10に値SRを設定することができ、シフトレジスタ10から値PNVALを読み出すことができる。クロック生成部42はマイクロコンピュータ40からシフトクロック数CLKNを与えられるとシフトクロックCLKをシフトレジスタ10および22へ供給し、指定された数のシフトクロックを出力し終わったら完了信号CMLをアクティブにしてマイクロコンピュータ40へ返す。

【0021】図10はマイクロコンピュータ40の動作の第1の例を示す。これは図4及び図5を参照して説明した例に対応する。最初に、ループ変数 $k$ に、 $n$ 回ループするための値( $n-1$ )を設定する(ステップ1000)。次に、シフトレジスタ10に初期値INIを設定する(ステップ1002)。タップ情報テーブル(TAPTABLE)内の $k$ 番目のタップ情報TAPINFO( $k$ )によるシフト処理を行うかどうかを判定するために、そのシフト量REFSFT( $k$ )と残シフト量SFTの値を比較する(ステップ1004)。残シフト量信号SFTの方が大きいと等しければTAPINFO

( $k$ )をANDゲート16に設定し、残シフト量信号SFTを位相シフト量信号REFSFT( $k$ )だけ減算してから(ステップ1006)シフト操作を開始する。シフトレジスタ10の段数分のシフトを行うために、発生クロック数指定信号CLKNに7という値を設定する(ステップ1008)。クロック生成部42からのクロック出力完了信号CMLを待ってから(ステップ1010)、シフトレジスタ22の内容SBVALを読み出してシフトレジスタ10へ転送し、ループ変数を減じて(ステップ1012)、まだループ回数を満了していない場合は(ステップ1014)、ステップ1004へと移行する。全操作が完了した時点で、シフトレジスタ10の内容PNVALを読みだして動作を完了する(ステ

ップ1016)。なお、PNVALを読みださず、クロック生成部42に引き続いてシフトクロックCLKを発生させる様指示すれば、擬似雑音系列を連続的にPO端子の出力に得ることができる。

【0022】図11はマイクロコンピュータ40の動作の第2の例を示すフローチャートである。これは図6および図7を参照して説明した例に対応する。最初に、ループ変数 $k$ に、 $n$ 回ループするための値( $n-1$ )を設定する(ステップ1100)。次に、シフトレジスタ10にシリアルバッファ設定初期値INIを設定する(ステップ1102)。タップ情報テーブル(TAPTABLE)内の $k$ 番目のタップ情報TAPINFO( $k$ )によるシフト処理を行うかどうかを判定するために、シフト量信号SFTの第 $k$ ビット目の値 $d_k$ がセットされているかどうかを調べる(ステップ1104)。そのビットがもしセットされていればTAPINFO( $k$ )をANDゲート16に設定してから(ステップ1106)シフト操作を開始する。ここでは、シフトレジスタ10の段数分のシフトを行うために、発生クロック数指定信号CLKNに7という値を設定する(ステップ1108)。クロック生成部42からのクロック出力完了信号CML出力を待ってから(ステップ1110)、シフトレジスタ22の内容SBVALをシフトレジスタ10へ転送し、ループ変数を減じて(ステップ1112)、まだループ回数を満了していない場合は(ステップ1114)、ステップ1104へと移行する。全操作が完了した時点で、シフトレジスタ10の内容PNVALを読みだして動作を完了する(ステップ1116)。なお、PNVALを読みださず、クロック生成部42に引き続いてシフトクロックCLKを発生させる様指示すれば、擬似雑音系列を連続的にPO端子の出力に得ることができる。

【0023】図12はマイクロコンピュータ40の動作の第3の例を示す。これは図8を参照して説明した例に対応する。最初に残シフト量信号SFTで与えられる総シフト量が、予め定める一定値(図の例では49)より小さい場合は(ステップ1200)、右に分岐して所要数のクロック発生数を発生クロック数指定信号CLKNに設定し(ステップ1202)、シフト動作完了を以てシフト動作完了とする(ステップ1204)。そうではない場合は、ループ変数 $k$ に、 $n$ 回ループするための値( $n-1$ )を設定する(ステップ1206)。次に、シフトレジスタ10に初期値INIを設定する(ステップ1208)。タップ情報テーブル(TAPTABLE)内の $k$ 番目のタップ情報(TAPINFO( $k$ ))によるシフト処理を行うかどうかを判定するために、そのシフト量と残シフト量信号SFTの第 $k$ ビット目の値 $d_k$ がセットされているかどうかを調べる(ステップ1210)。そのビットがもしセットされていればTAPINFO( $k$ )をANDゲート16に設定してから(ステッ

プ 1 2 1 2) シフト操作を開始する。ここで、(a) R E F S F T (k) の値が、シフトレジスタ 1 0 の段数 7 より小さい場合は (ステップ 1 2 1 4)、R E F S F T (k) 分のクロックを (ステップ 1 2 1 6)、(b) それ以外の場合には、シフトレジスタ 1 0 の段数分のシフトを行うために、発生クロック数指定信号 C L K N に 7 という値を設定する (ステップ 1 2 1 8)。クロック生成部 4 2 からのクロック出力完了信号 C M P L 出力を待ってから (ステップ 1 2 2 0)、(b) の場合のみ、シフトレジスタ 2 2 の内容 S B V A L をシフトレジスタ 1 0 へ転送する (ステップ 1 2 2 2)。次にループ変数を減じて (ステップ 1 2 2 4)、まだループ回数を満了していない場合は (ステップ 1 2 2 6)、ステップ 1 2 1 0 へと移行する。全操作が完了した時点で、シフトレジスタ 1 0 の内容 P N V A L を読みだして動作を完了する (ステップ 1 2 2 8)。なお、P N V A L を読みださず、クロック生成部 4 2 に引き続いてシフトクロック C L K を発生させる様指示すれば、擬似雑音系列を連続的に P O 端子の出力に得ることができる。

#### 【 0 0 2 4 】

【発明の効果】本発明によれば、予め定める、または任意の量だけ位相シフトした擬似雑音系列を高速に、かつ、コンパクトな規模の処理により得ることが可能となる。

#### 【図面の簡単な説明】

【図 1】本発明の第 1 の実施例に係る擬似雑音発生装置の回路図である。

【図 2】本発明の第 2 の実施例に係る擬似雑音発生装置の回路図である。

【図 3】図 2 の回路の動作を説明するタイミングチャートである。

【図 4】図 2 の制御器 2 4 の第 1 の例を示す回路ブロック図である。

【図 5】図 4 の回路の動作を説明するタイミングチャートである。

【図 6】図 2 の制御器 2 4 の第 2 の例を示す回路ブロック図である。

【図 7】図 6 の回路の動作を説明するタイミングチャートである。

【図 8】図 2 の制御器 2 4 の第 3 の例を示す回路ブロック図である。

【図 9】図 2 の制御器 2 4 の第 4 の例を示す回路ブロック図である。

【図 1 0】図 9 のマイクロコンピュータ 4 0 の動作の第 1 の例を示すフローチャートである。

【図 1 1】図 9 のマイクロコンピュータ 4 0 の動作の第 2 の例を示すフローチャートである。

【図 1 2】図 9 のマイクロコンピュータ 4 0 の動作の第 3 の例を示すフローチャートである。

#### 【符号の説明】

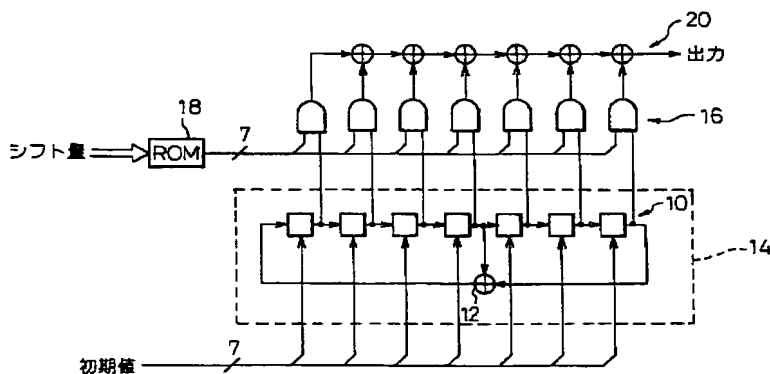
1 0, 2 2 …シフトレジスタ

1 2, 2 0 …E O R 回路

1 4 …擬似雑音発生器

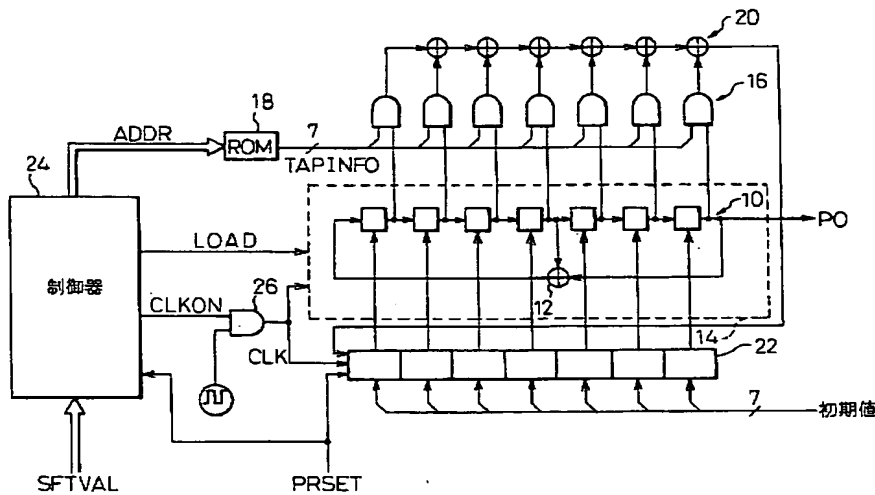
1 6 …AND ゲート

【図 1】

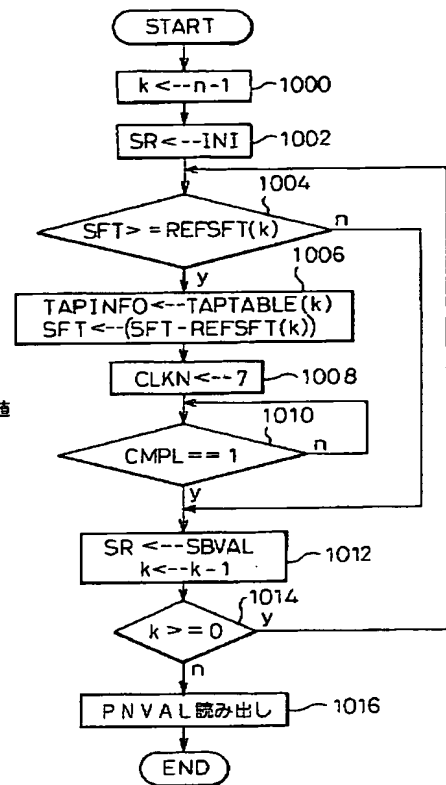




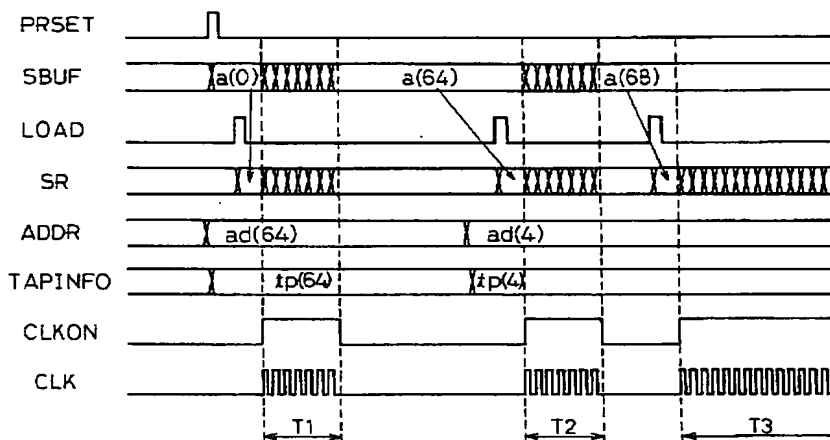
【図 2】



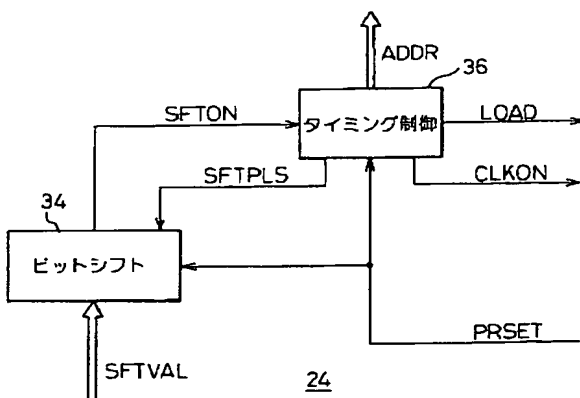
【図 10】



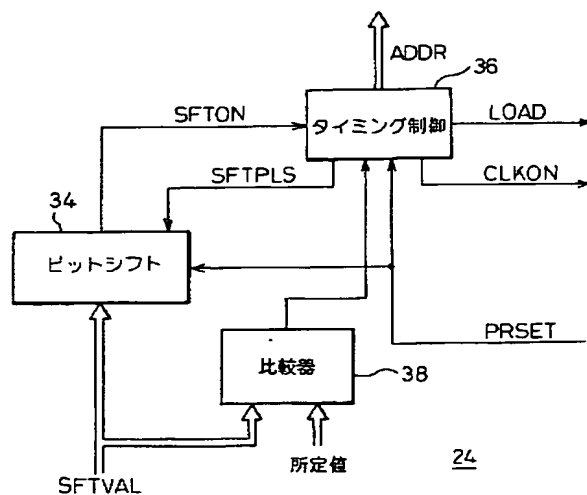
【図 3】



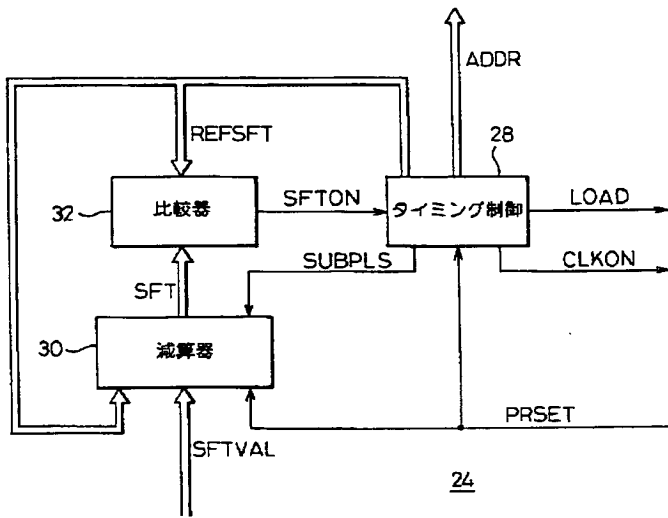
【図 6】



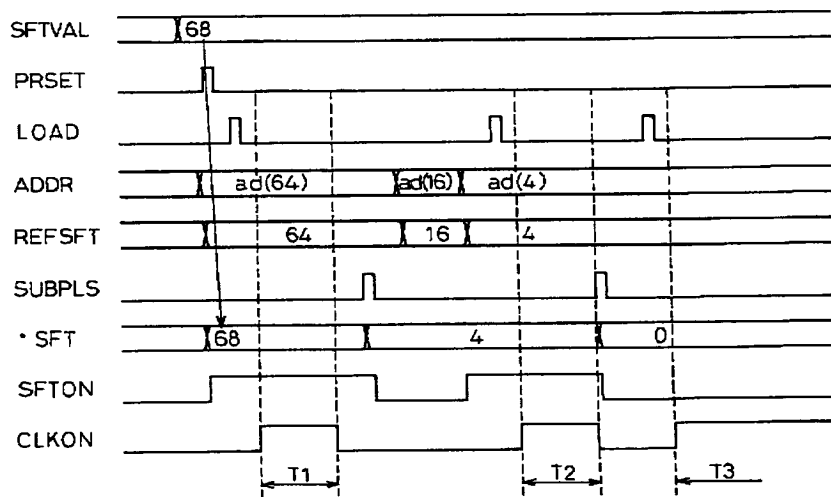
【図 8】



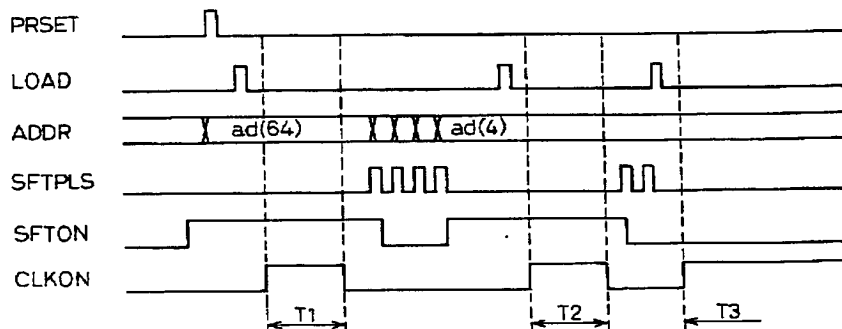
【図 4】



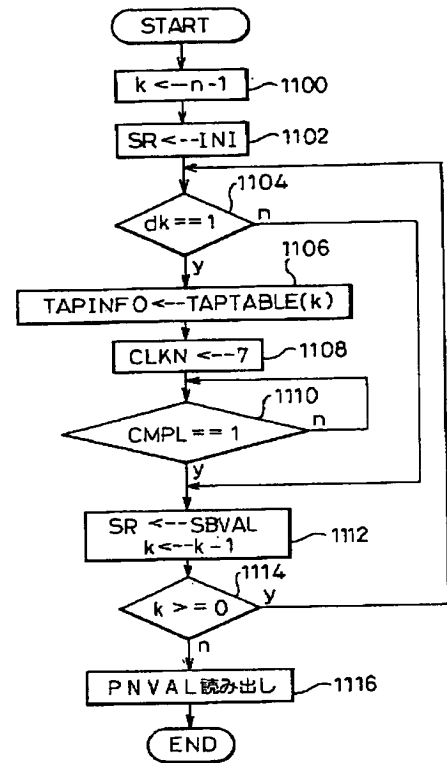
【図 5】



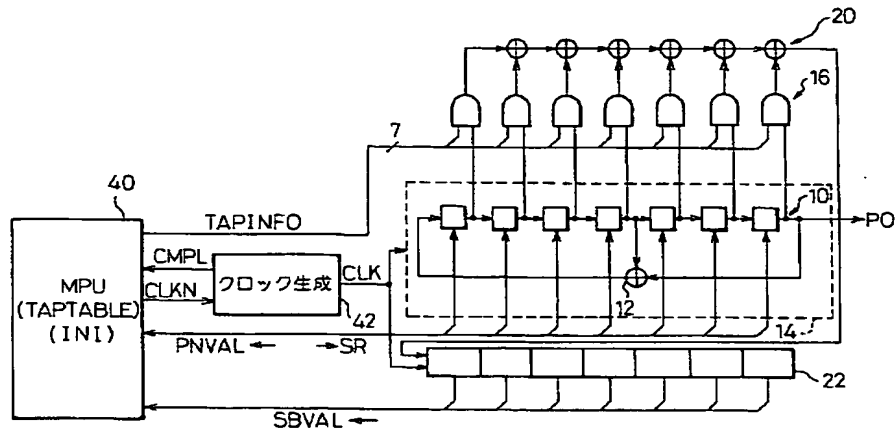
【図 7】



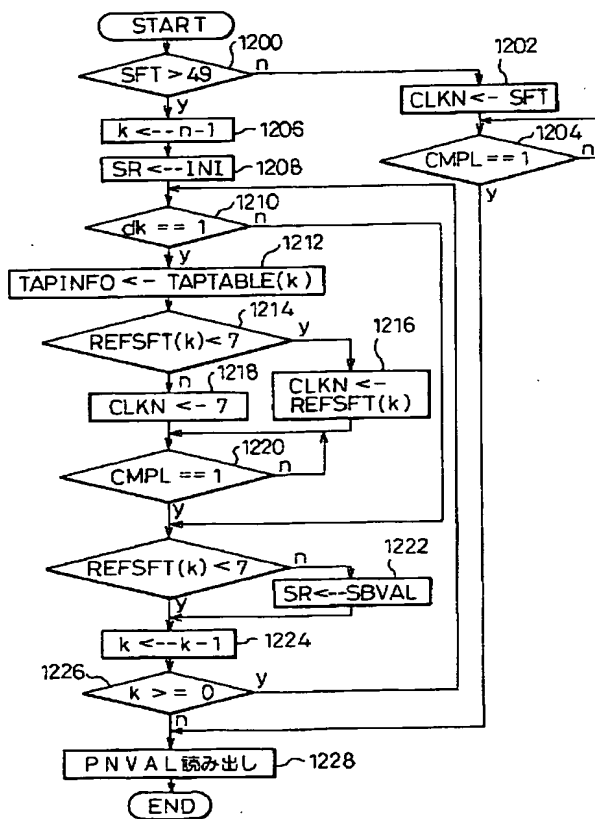
【図 11】



【図 9】



【図 1 2】



フロントページの続き

(72)発明者 大淵 一央  
 神奈川県川崎市中原区上小田中 4 丁目 1 番  
 1 号 富士通株式会社内

(72)発明者 浜田 一  
 神奈川県川崎市中原区上小田中 4 丁目 1 番  
 1 号 富士通株式会社内

**THIS PAGE BLANK (USPTO)**